

Docket No. 205173US2S

#6-14-01
2

11046 U.S. PTO
09/816393
03/26/01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Fumitomo MATSUOKA

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE AND A METHOD FOR MANUFACTURING THE SAME

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2000-096442	March 31, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
 - ☐ are submitted herewith
 - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak
Registration No. 24,913



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

J1046 U.S. PTO
09/816393
03/26/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2 0 0 0 年 3 月 3 1 日

出 願 番 号
Application Number:

特願 2 0 0 0 - 0 9 6 4 4 2

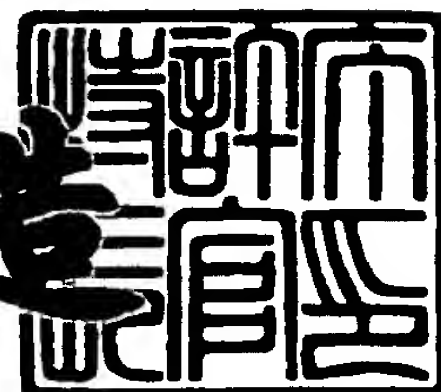
出 願 人
Applicant (s):

株式会社東芝

2 0 0 0 年 1 1 月 1 0 日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特 2 0 0 0 - 3 0 9 4 6 4 6

【書類名】 特許願

【整理番号】 4HA9960281

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明の名称】 半導体装置とその製造方法

【請求項の数】 6

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
 横浜事業所内

 【氏名】 松岡 史倫

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社東芝

【代理人】

 【識別番号】 100083161

 【弁理士】

 【氏名又は名称】 外川 英明

 【電話番号】 03-3457-2512

【手数料の表示】

 【予納台帳番号】 010261

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置とその製造方法

【特許請求の範囲】

【請求項 1】

半導体基板上に第 1 の絶縁膜を形成する工程と、
この第 1 の絶縁膜上に第 1 の半導体膜と第 2 の絶縁膜を順次形成する工程と、
前記第 2 の絶縁膜上にレジストパターンを形成する工程と、
このレジストパターンをマスクとして、前記第 1 の半導体膜および前記第 2 の絶縁膜を異方性エッチングによりパターニングし、前記半導体基板上に前記第 1 の半導体膜および前記第 2 の絶縁膜からなる積層構造を形成する工程と、
この積層構造をマスクとして前記半導体基板に不純物を注入し、ソース・ドレインとなる不純物拡散層領域を形成する工程と、
前記半導体基板上に、前記積層構造を囲むよう第 3 の絶縁膜を形成する工程と、
前記積層構造の上面を露出させる工程と、
前記第 3 の絶縁膜をマスクとして、前記積層構造を除去し、絶縁膜からなる溝を形成する工程と、
前記溝を形成した後、等方性エッチングにより前記溝の幅を拡大する工程と、
溝の幅を拡大した後、前記溝の内面に第 4 の絶縁膜を堆積する工程と、
この第 4 の絶縁膜上にゲート電極となる導電層を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項 2】

前記積層構造の側壁に側壁絶縁膜を形成した後、この側壁絶縁膜と前記積層構造をマスクとして不純物拡散層領域を形成することを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】

前記溝の幅を拡大する工程において用いられる前記等方性エッチングが、HF または NH_4F を含むエッチング処理であることを特徴とする請求項 1 乃至 2 記載の半導体装置の製造方法。

【請求項 4】

前記第 4 の絶縁膜が化学気相成長法またはスパッタ法により堆積されることを特徴とする請求項 1 乃至 3 記載の半導体装置の製造方法。

【請求項 5】

半導体基板と、

この半導体基板上に形成され MOSFET のソースとなる第 1 の不純物拡散層領域と、

前記半導体基板上に形成され MOSFET のドレインとなる第 2 の不純物拡散層領域と、

前記第 1 の不純物層領域上に形成された第 1 の絶縁層と、

前記第 2 の不純物層領域上に形成された第 2 の絶縁層と、

前記半導体基板と前記第 1 の絶縁層と前記第 2 の絶縁層により定義される溝と、

前記溝の底面であって、前記半導体基板上に形成された、高誘電体膜からなるゲート絶縁膜と、

前記溝の内面に形成された高誘電体膜からなるゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とを有し、このゲート電極が前記不純物拡散層領域上に形成されていることを特徴とする半導体装置。

【請求項 6】

前記高誘電体膜とは、 Ta_2O_5 、Si 窒化、アルミナ、 $BaSrTiO_3$ 、酸化 Zr、酸化 Hf、酸化 Sc、酸化 Y、酸化 Ti のいずれかを含む膜であることを特徴とする請求項 5 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は埋め込み型のゲート電極構造を用いた絶縁ゲート型電解効果トランジスタ（以下、MOSFET と略記する）とその製造方法に関するものである。

【0002】

【従来の技術】

埋め込み型のゲート電極構造を用いた MOSFET の製造工程の従来例について図 1 乃至図 8 を用いて説明する。図 1 に示すように、例えば、p 型の半導体基

板 1 0 1 上に、素子分離領域 1 0 2 を形成した下地に対して、先ず、ダミーのゲート絶縁膜となる SiO_2 膜 1 0 3 を例えば、熱酸化法によって 5 nm 程度の厚さに堆積させる。その後、ダミーのゲート電極となる多結晶 Si 膜 1 0 4 を例えば、化学気相成長法等を用いて、1 0 0 nm 程度の厚さに堆積させた後、例えば Si 窒化膜 1 0 5 を同じく化学気相成長法等を用いて 5 0 nm 程度の厚さに堆積させる。その後、写真蝕刻法を用いて所定形状に形成されたレジスト 1 0 6 をマスクとして、異方性のエッチングを用いて該多結晶 Si 膜 1 0 4 と Si 窒化膜 1 0 5 の積層構造を所定形状に形成してダミーゲート電極 1 1 5 を形成する。そして、レジスト 1 0 6 を除去した後、該ダミーゲート電極をマスクとして、自己整合的にソース・ドレインの不純物拡散層のエクステンション領域 1 0 7 をイオン注入により形成する。

次に、図 2 に示すように、図 1 で得られた構造の全面に対して、例えば、 Si 窒化膜を化学気相成長法等によって 1 0 0 nm 程度の厚さに堆積させた後に、全面に異方性のエッチングを施す事により、ダミーゲート電極の段差部になる側壁部分にのみ Si 窒化膜を残置させ、側壁絶縁膜 1 0 8 を形成する。その後、側壁部の Si 窒化膜 1 0 8 とダミーゲート電極をマスクとしてイオン注入を行い、深い接合を有するソース・ドレインとなる不純物拡散層 1 0 9 を形成する。

【 0 0 0 3 】

次に、図 3 に示すように、図 2 で得られた構造に対して、全面に例えば Co 膜等を 2 0 nm 程度の厚さに堆積させた後に、熱処理を加えることにより、該 Co 膜と Si 膜が接する領域のみに Co -シリサイド膜 1 1 0 を形成してシリサイド構造を形成する。

その後、図 4 に示すように、図 3 の構造に対して、全面に層間絶縁膜となる SiO_2 膜等の絶縁膜を、例えば化学気相成長法等を用いて 4 0 0 nm 程度の厚さに堆積し、次に、この構造に対して、多結晶 Si 膜 1 0 4 と Si 窒化膜 1 0 5 の積層構造からなるダミーゲート電極の高さまで全面を CMP（化学的機械的研磨法、Chemical Mechanical Polish）法を用いて研磨することによって、 SiO_2 膜である層間絶縁膜 1 1 1 を得る。その後、 SiO_2 膜と Si 窒化膜に選択比を持つエッチングを用いて、ダミーゲート電極 1 1 5 の Si 窒化膜 1 0 5 を除去

した後、さらに、 SiO_2 膜と多結晶 Si に選択比を持つエッチングを用いて、ダミーゲート電極 1 1 5 の多結晶 Si 1 0 4 を除去する事により、最終的なゲート電極となる材料を埋め込む為の溝 1 1 2 を形成する。

その後、図 5 に示すように、例えば SiO_2 膜を熱酸化法によって 3 nm 程度の厚さのゲート絶縁膜 1 1 3 として形成し、さらに図 6 に示すように、図 5 で得られた構造に対して最終的なゲート電極となる材料として、例えば、タングステンを化学気相成長法によって 3 0 0 nm 程度の厚さで全面に堆積した後に、CMP 法を用いて平坦化し、埋め込み型ゲート電極 1 1 4 を完成する。

【 0 0 0 4 】

この様な方法によって形成された埋め込み型ゲート電極構造を用いた MOSFET においては、ゲート絶縁膜や、ゲート電極材料の選択に対して自由度が増す長所がある一方で、以下に示す様な問題点がある。

図 7 に示すのは、ダミーゲート電極 1 1 5 を除去して、最終的な埋め込み型ゲート電極形成用の溝を形成した後の工程断面図であるが、ゲート絶縁膜 2 0 1 として、上述した SiO_2 膜の熱酸化法による形成に代わって、例えば Ta_2O_5 膜等の高誘電体膜を化学気相成長法等により形成した例を示している。近年の素子の微細化によって、MOSFET に用いられるゲート長の微細化と共にゲート絶縁膜も薄膜化が進められてきているが、例えば物理膜厚で 2 nm よりも薄くなるシリコン酸化膜をゲート絶縁膜として用いることは、信頼性や、トンネル電流等の問題から困難であり、これに代わって Si 窒化膜や Ta_2O_5 膜等の高誘電体膜を適用することが検討されつつある。前記高誘電体膜は化学気相成長法やスパッタ法によって形成される為に、図 7 に示す様に、ゲート電極埋め込み用の溝の側壁にも形成される事になり、この時、例えば、2 nm 程度の SiO_2 膜と同等の膜厚を得る為には 4 0 ~ 6 0 nm 程度の膜厚が必要となる。

【 0 0 0 5 】

この様な高誘電体膜をゲート絶縁膜に用いた場合に、ゲート電極を埋め込み形成した後の MOSFET の工程断面図を示したのが図 8 である。この時問題となる領域はゲート電極 2 0 2 の端部とソース・ドレイン拡散層端部のうち、図中の囲みで示した 2 0 3 の領域である。

通常、MOSFETでは、図6に示す様に、ゲート電極114端部と、ソース・ドレイン拡散層109端部は、少なくとも、その横方向の位置関係がゲート絶縁膜113を挟んで一致しているか、あるいは、ソース・ドレイン拡散層109端部がゲート電極114に一部オーバーラップしている事が素子動作上必要である。

【0006】

【発明が解決しようとする課題】上記の様に、従来技術においては、図8の203で示す様に、40～60nmもの膜厚のゲート絶縁膜201をゲート電極の埋め込み溝212の底面のみならず側面まで形成する工程を経るため、ゲート電極202端部とソース・ドレイン拡散層109端部がゲート電極202の埋め込み溝の側壁内面に形成されたゲート絶縁膜201の膜厚分、すなわち203で示すXの距離だけ離れた構造が形成され、いわゆるオフセット構造のMOSFETとなってしまう、素子動作上の不具合を引き起こす。その上、この状況はゲート長の微細化、すなわち、ゲート電極が埋め込まれる溝の幅が微細化される程顕著となってしまう。

本発明は、上記の欠点に鑑み、埋め込み型のゲート電極構造を用いたMOSFETのゲート絶縁膜を、化学気相成長法やスパッタ法によって形成する場合においても、ゲート電極端部と、ソース・ドレイン拡散層端部の位置関係において、基板方向のオフセットを制御可能な半導体装置の製造方法と、オフセットが抑制された半導体装置を提供することを課題とする。

【0007】

【課題を解決するための手段】

本発明は、上記の課題を解決するために次のような手段を講じた。すなわち、本発明の製造方法は、半導体基板上に第1の絶縁膜を形成する工程と、この第1の絶縁膜上に第1の半導体膜と第2の絶縁膜を順次形成する工程と、前記第2の絶縁膜上にレジストパターンを形成する工程と、このレジストパターンをマスクとして、前記第1の半導体膜および前記第2の絶縁膜を異方性エッチングによりパターンニングし、前記半導体基板上に前記第1の半導体膜および前記第2の絶縁膜からなる積層構造を形成する工程と、この積層構造をマスクとして前記半導

体基板に不純物を注入し、ソース・ドレインとなる不純物拡散層領域を形成する工程と、前記半導体基板上に、前記積層構造を囲むよう第3の絶縁膜を形成する工程と、前記積層構造の上面を露出させる工程と、前記第3の絶縁膜をマスクとして、前記積層構造を除去し、絶縁膜からなる溝を形成する工程と、前記溝を形成した後、等方性エッチングにより前記不純物拡散層領域上まで前記溝の幅を拡大する工程と、溝の幅を拡大した後、前記溝の内面に第4の絶縁膜を堆積する工程と、この第4の絶縁膜上にゲート電極となる導電層を形成する工程を有することを特徴とする。

【 0 0 0 8 】

上記の製造方法において、前記積層構造の側壁に側壁絶縁膜を形成した後、この側壁絶縁膜と前記積層構造をマスクとして不純物拡散層領域を形成することを特徴とする。

上記の製造方法において、前記溝の幅を拡大する工程において用いられる前記等方性エッチングが、HFまたは NH_4F を含むエッチング処理であることを特徴とする。

上記の製造方法において前記第4の絶縁膜が化学気相成長法またはスパッタ法により堆積されることを特徴とする。

本発明の半導体装置では、半導体基板と、この半導体基板上に形成されMOSFETのソースとなる第1の不純物拡散層領域と、前記半導体基板上に形成されMOSFETのドレインとなる第2の不純物拡散層領域と、前記第1の不純物層領域上に形成された第1の絶縁層と、前記第2の不純物層領域上に形成された第2の絶縁層と、前記半導体基板と前記第1の絶縁層と前記第2の絶縁層により定義される溝と、前記溝の内面に形成された高誘電体膜からなるゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とを有し、このゲート電極が前記不純物拡散層領域上に形成されていることを特徴とする。

上記半導体装置では、前記高誘電体膜は、 Ta_2O_5 、Si窒化、アルミナ、 BaSrTiO_3 、酸化Zr、酸化Hf、酸化Sc、酸化Y、酸化Tiのいずれかを含む膜であることを特徴とする。

【 0 0 0 9 】

本発明の半導体装置の製造方法では、溝の幅を拡大する工程を有しているため、ゲート電極となる導体層と不純物拡散層領域によるオフセットを制御することができる。

また、等方性エッチングにより溝の幅を拡大するため、積層構造の周囲に側壁絶縁膜が形成される、いわゆるLDD構造を得る場合であっても、オフセットを制御することができる。

また、HFまたは NH_4F を含む等方性エッチング処理を用いるため、さらに精度よくオフセットを制御することができる。

また、化学気相成長法またはスパッタ法を用いると、溝の側面にも第4の絶縁膜を堆積させることができ、これにより溝内において所望の領域にゲート電極の形成が容易となり、さらに精度よくオフセットを制御することができる。

さらに、本発明の半導体装置は、高誘電体膜からなるゲート絶縁膜が溝内面に形成されている場合であっても、ゲート電極を不純物拡散層領域上に形成するため、半導体装置が安定動作する。

また、高誘電体膜としては Ta_2O_5 、Si窒化、アルミナ、 BaSrTiO_3 、酸化Zr、酸化Hf、酸化Sc、酸化Y、酸化Tiのいずれかを含む膜を用いることでさらに安定動作する。

【 0 0 1 0 】

【発明の実施の形態】

本発明の実施の形態をn型のMOSFETを例にとって説明する。先ず、図9に示す様に、例えばp型の半導体基板301上に素子分離領域302を形成した下地に対して、ダミーのゲート絶縁膜となる SiO_2 膜303を例えば、熱酸化法によって5nm程度の厚さで堆積させる。その後、ダミーのゲート電極となる多結晶Si膜304を例えば、化学気相成長法等を用いて、100nm程度の厚さで堆積させた後、続けて例えばSi窒化膜305を同じく化学気相成長法等を用いて50nm程度の厚さで積層する。その後写真蝕刻法を用いて所定形状に形成されたレジストマスク306をマスクとして、異方性のエッチングを用いて多結晶Si膜304とSi窒化膜305の積層構造を所定形状に形成してダミーゲート電極317を形成する。また、この時形成されるダミーゲート電極のゲート

長は、最終的に形成しようとするゲート長であり、例えば、80 nm程度である。そして、その後、ダミーゲート電極317をマスクとして、ひ素等のn型の不純物を自己整合的にイオン注入することにより、ソース・ドレインの不純物拡散層のエクステンション領域307を形成する。

【0011】

次に、図10に示すように、図9で得られた構造に対して全面に、例えば、化学気相成長法等を用いて SiO_2 膜を100 nm程度の厚さで堆積した後に、全面に異方性のエッチングを施すことにより、ダミーゲート電極317の段差部になる側壁部分にのみ SiO_2 膜を残置させ側壁絶縁膜308を形成する。その後、側壁絶縁膜308とダミーゲート電極317をマスクとしてひ素やリン等のn型の不純物イオン注入を行い、深い接合を有するn型のソース・ドレインとなる不純物拡散層309を形成する。

次に図11に示すように、図10で得られた構造に対して全面に、例えば Co 膜等を20 nm程度の厚さで堆積した後に、熱処理を加えることにより、該 Co 膜と Si 膜が接する領域のみに選択的に Co -シリサイド膜310を形成してシリサイド構造を得る。

その後、図12に示すように、図11で得られた構造に対して全面に、層間絶縁膜となる SiO_2 膜等の絶縁膜を、例えば化学気相成長法等を用いて400 nm程度の厚さで堆積し、次に、この構造に対して全面をCMP法を用いて研磨することによってダミーゲート電極317の高さを有する層間絶縁膜311を得る。この時、層間絶縁膜311と Si 窒化膜305で選択比のとれるCMPを用いれば、ダミーゲート電極317の上部が露出した部分でCMPを容易に終わらせることができる。

【0012】

その後、 SiO_2 膜である層間絶縁膜311及び側壁絶縁膜308と、 Si 窒化膜305に選択比のとれるエッチング、例えば、リン酸液を用いた処理によって、ダミーゲート電極317の Si 窒化膜305を除去した後、さらに、層間絶縁膜311と多結晶 Si_3O_4 に選択比のとれるエッチング、例えば、 CF_4 系のガスを用いたケミカルドライエッチングを用いて、ダミーゲート電極317の

多結晶 SiO_2 を除去することにより、最終的なゲート電極となる材料を埋め込む為の溝 3 1 2 を形成する。

その後、図 1 3 に示すように、所望のゲート絶縁膜の膜厚分だけ溝 3 1 2 の幅を広げる。例えばゲート絶縁膜に 4 0 nm の Ta_2O_5 膜を用いる場合には、溝 3 1 2 の側面に 4 0 nm 分のエッチング処理を行う。これにより溝 3 1 2 は、最終的なゲート電極となる材料を埋め込む為の拡大された溝 3 1 2' となる。この時行われるエッチング処理は、埋め込み溝底部に存在するダミーゲート絶縁膜 3 0 3 と側面に存在する側壁絶縁膜 3 0 8 を同時にエッチングし、且つ、半導体基板 1 0 1 に対して十分な選択比を持つものが望ましく、例えば、ダミーゲート絶縁膜 3 0 3 および側壁絶縁膜 3 0 8 が SiO_2 で、半導体基板 1 0 1 が Si である本実施の形態においては、希 HF または希 NH_4F 等を用いたエッチング方法や CDE 等を用いた等方性のドライエッチングが効果的である。さらに、この工程においては、側壁絶縁膜 3 0 8 の厚さを超えてエッチングすることにより溝 3 1 2' の幅を更に拡大しておけば、後の工程でより厚いゲート絶縁膜を形成する場合であっても、ゲート電極 3 1 4 の端部が不純物拡散層 3 0 9 上にオーバーラップする構造を容易に得ることができ、これにより素子動作がより安定した MOSFET を得ることができる。

【 0 0 1 3 】

さらにその後、図 1 4 に示すように、層間絶縁膜 3 1 1 上と半導体基板 1 0 1 の露出面に、化学気相成長法や、スパッタ法によって、所望のゲート絶縁膜となる材料として、例えば、 Ta_2O_5 膜を 4 0 nm 程度の厚さのゲート絶縁膜 3 1 3 として溝 3 1 2' の内面に堆積させる。

次に、図 1 5 に示すように、図 1 4 で得られた構造に対して、ゲート絶縁膜 3 1 3 上に、例えば、化学気相成長法やスパッタ法等によって、最終的なゲート電極 3 1 4 となるタングステン等を 3 0 0 nm の厚さで堆積し、その後 CMP によってポリッシングを行い溝 3 1 2' にゲート電極としてのタングステンの埋め込みを完了する。

上記実施例においては、ゲート絶縁膜の材料として、 Ta_2O_5 膜を用いる例を示したが、溝 3 1 2' の内面を覆うことができるものであれば、 Si 窒化膜や

S i 酸化膜等のシリケート膜、B S T (B a S r T i O ₃) 膜、アルミナ膜、酸化 Z r 膜、酸化 H f 膜、酸化 Y 膜、酸化 S c 膜、酸化 T i 膜等の絶縁膜を用いることも可能である。この場合、形成方法については、化学気相成長法やスパッタ法等を各材料に合った最適な方法を選択する。

上記実施の形態によると、ゲート絶縁膜 3 1 3 を形成する前に、溝 3 1 2 を構成する絶縁膜 3 1 1 に対し異方性エッチングを行い、溝 3 1 2 の幅を予め基板方向に拡大するため、溝 3 1 2 の内面にゲート絶縁膜 3 1 4 を化学気相成長法やスパッタ法によって形成しなければならない場合においても、ゲート電極 3 1 4 端部とソース・ドレイン拡散層 3 0 9 端部間のオフセットを容易に制御することができる。また、この様な方法により形成された埋め込み型のゲート電極を有する M O S F E T は、ゲート絶縁膜に高誘電体膜を用いているにも係わらず、図 1 (g) 中の囲み 3 1 6 で示すようにオフセット構造が回避されているため安定に動作する。

【 0 0 1 4 】

【発明の効果】

本発明の製造方法により、埋め込み型のゲート電極を有する M O S F E T を製造する際に、ゲート電極の端部とソース・ドレイン拡散層端部の間隔による基板方向のオフセットを制御することができ、また、本発明の構造により、M O S F E T が安定動作する。

【図面の簡単な説明】

【図 1】 ダミーゲート電極を形成する従来の M O S F E T の工程断面図

【図 2】 側壁絶縁膜を形成する従来の M O S F E T の工程断面図

【図 3】 C o - シリサイド膜を形成する従来の M O S F E T の工程断面図

【図 4】 ゲート電極用の溝を形成する従来の M O S F E T の工程断面図

【図 5】 溝内にゲート絶縁膜を形成する従来の M O S F E T の工程断面図

【図 6】 溝にゲート電極を形成する従来の M O S F E T の工程断面図

【図 7】 溝内に厚いゲート絶縁膜を形成する従来の M O S F E T の工程断面図

【図 8】 溝内にゲート電極を形成する従来の M O S F E T の工程断面図

【図 9】 ダミーゲート電極を形成する本発明の M O S F E T の工程断面図

【図 1 0】 側壁絶縁膜を形成する本発明の MOS F E T の工程断面図

【図 1 1】 C o - シリサイド膜を形成する本発明の MOS F E T の工程断面図

【図 1 2】 ゲート電極用の溝を形成する本発明の MOS F E T の工程断面図

【図 1 3】 溝を拡大する本発明の MOS F E T の工程断面図

【図 1 4】 溝内に厚いゲート絶縁膜を形成する本発明の MOS F E T の工程断面図

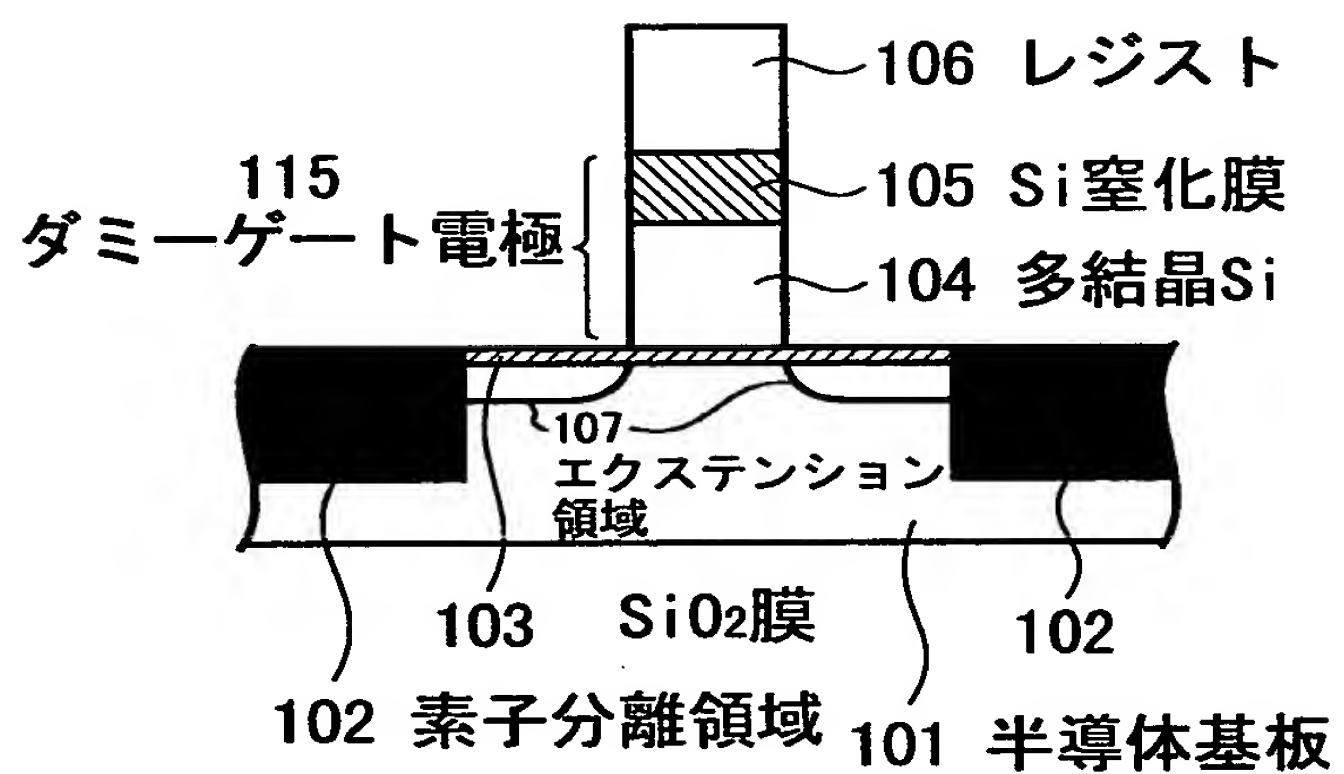
【図 1 5】 溝内にゲート電極を形成する本発明の MOS F E T の工程断面図

【符号の説明】

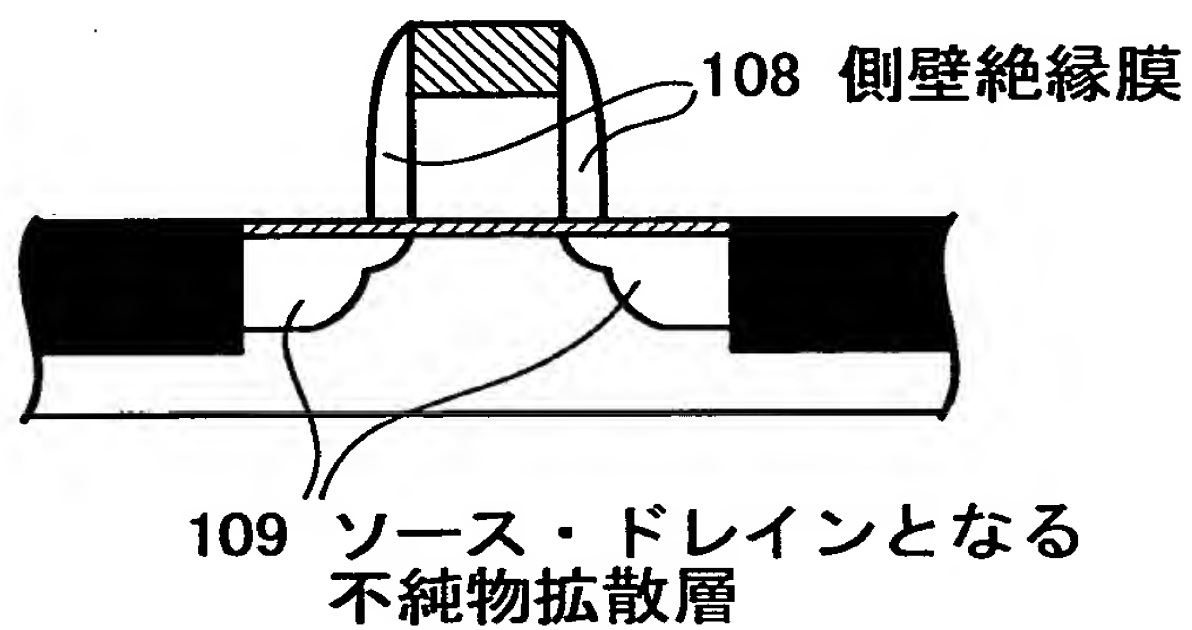
- 1 0 1, 3 0 1 半導体基板
- 1 0 2, 3 0 2 素子分離領域
- 1 0 3, 3 0 3 S i O ₂ 膜
- 1 0 4, 3 0 4 多結晶 S i 膜
- 1 0 5, 3 0 5 S i 窒化膜
- 1 0 6, 3 0 6 レジスト
- 1 0 7, 3 0 7 エクステンション領域
- 1 0 8, 3 0 8 側壁絶縁膜
- 1 0 9, 3 0 9 ソース・ドレインとなる不純物拡散層
- 1 1 0, 3 1 0 C o - シリサイド膜
- 1 1 1, 3 1 1 層間絶縁膜
- 1 1 2, 3 1 2 溝
- 3 1 2 ' 拡大された溝
- 1 1 3, 2 0 1, 3 1 3 ゲート絶縁膜
- 1 1 4, 2 0 2, 3 1 4 ゲート電極
- 2 0 3 オフセット領域
- 1 1 5, 3 1 7 ダミーゲート電極

【書類名】 図面

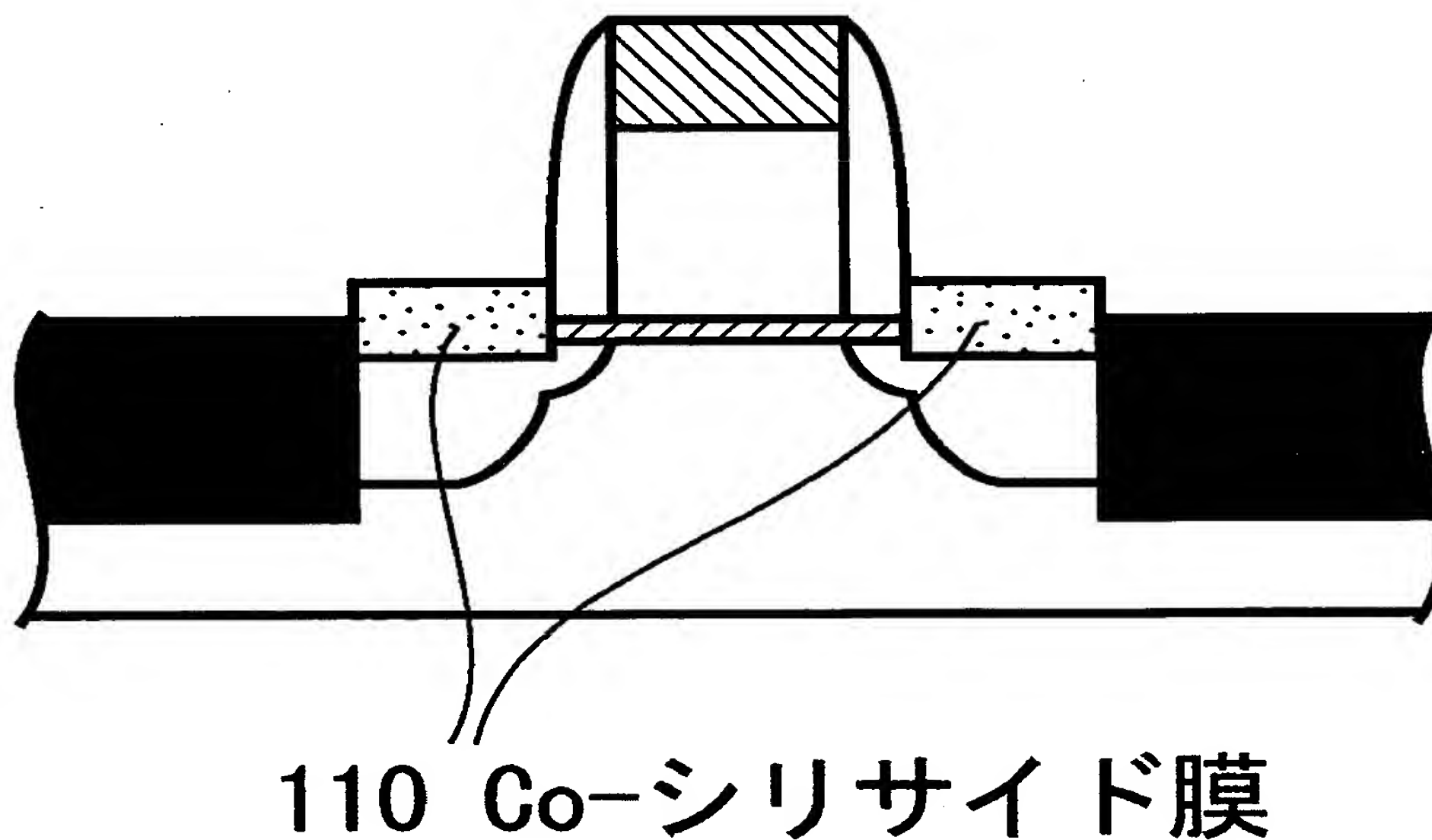
【図 1】



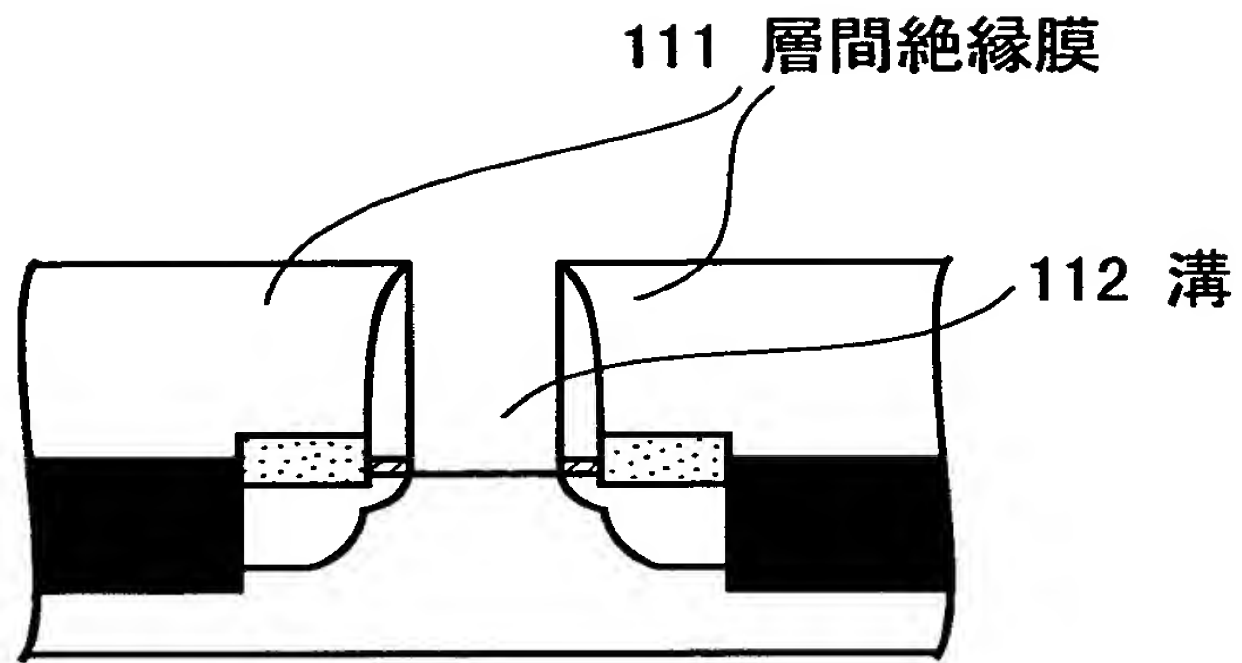
【図 2】



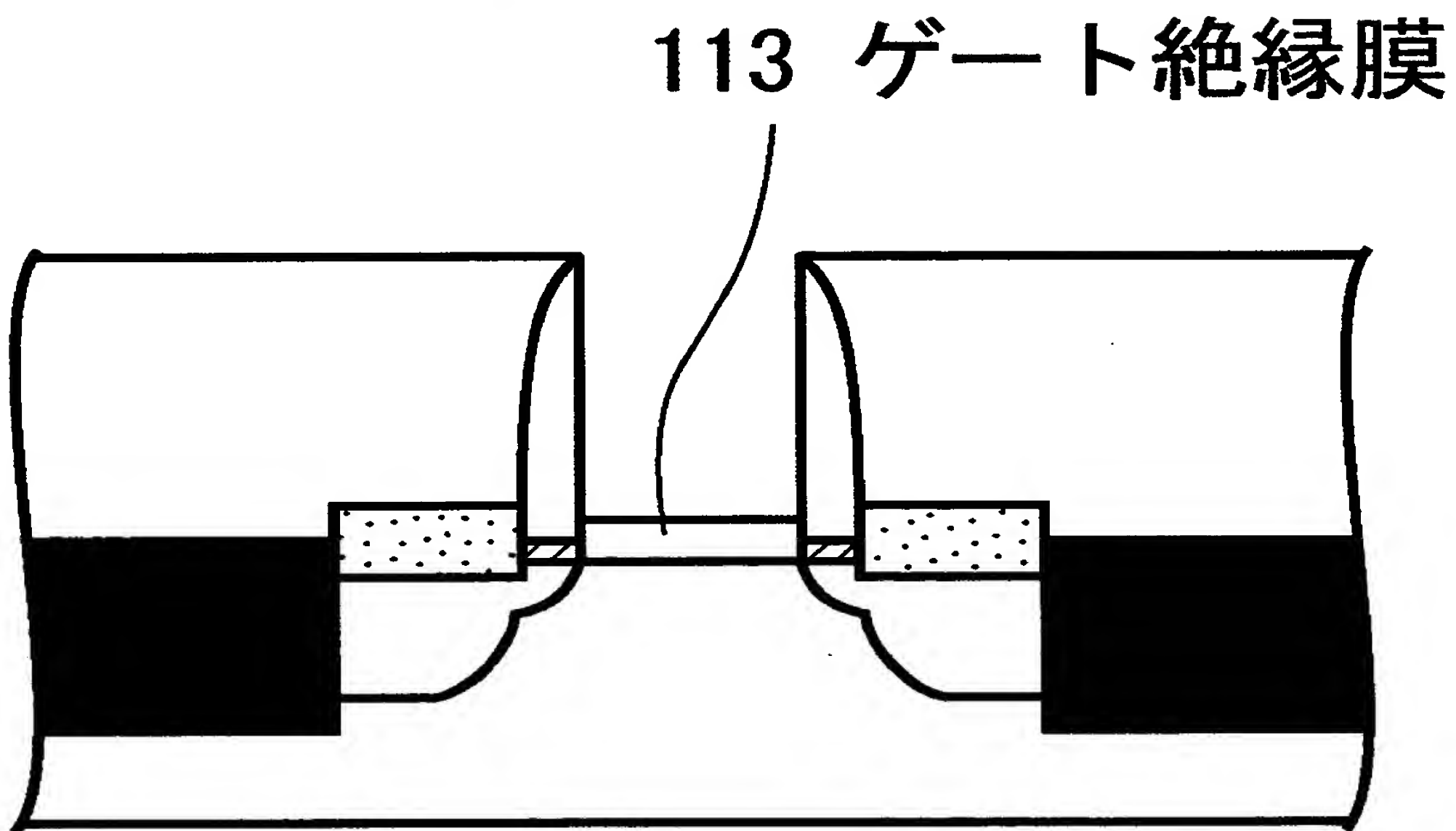
【図 3】



【図4】

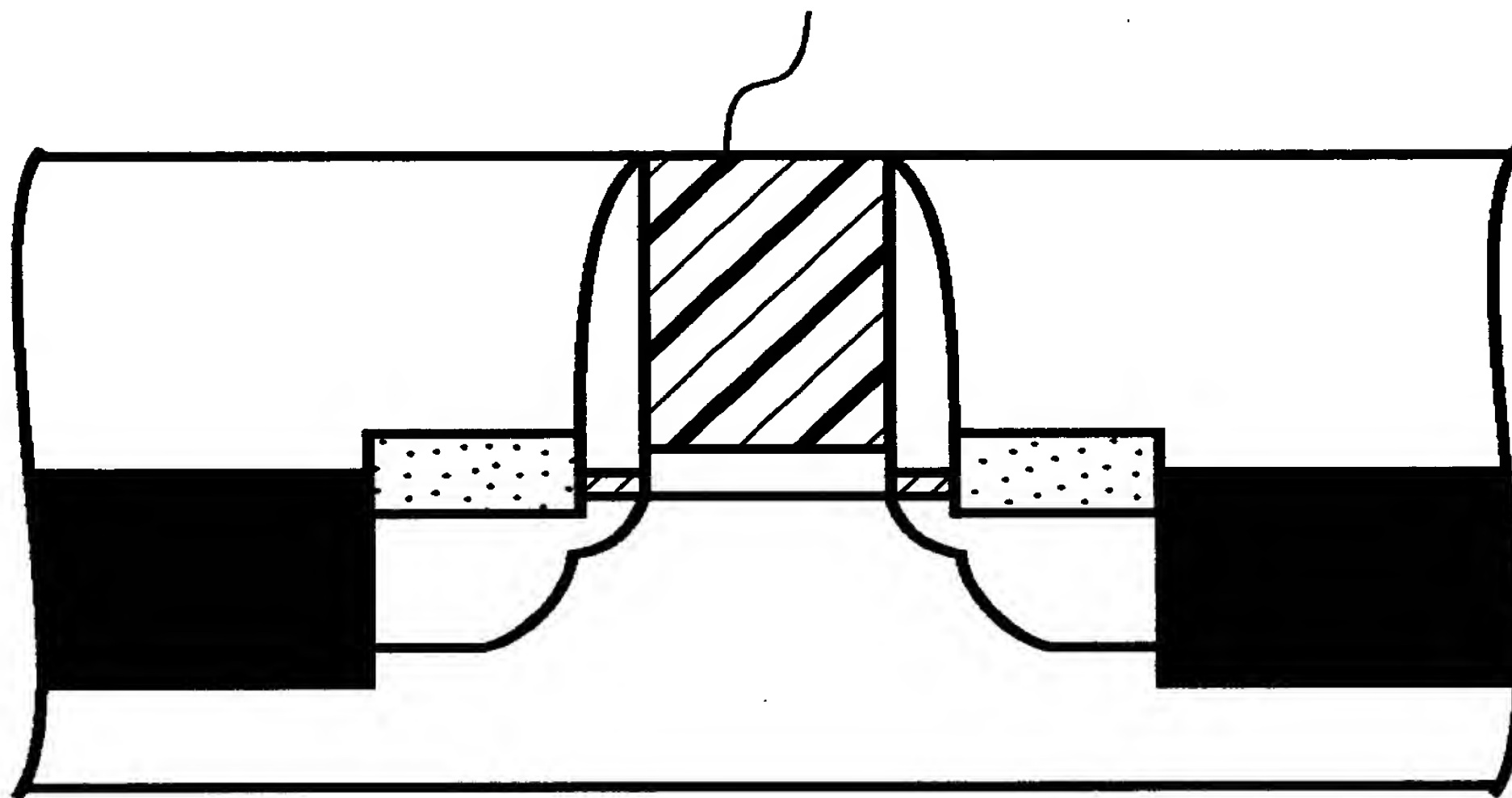


【図5】



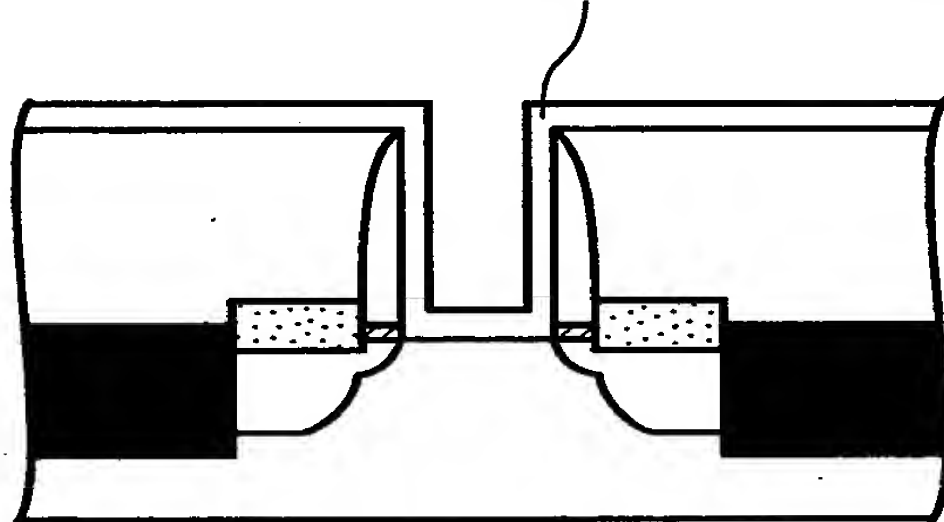
【図 6】

114 ゲート電極

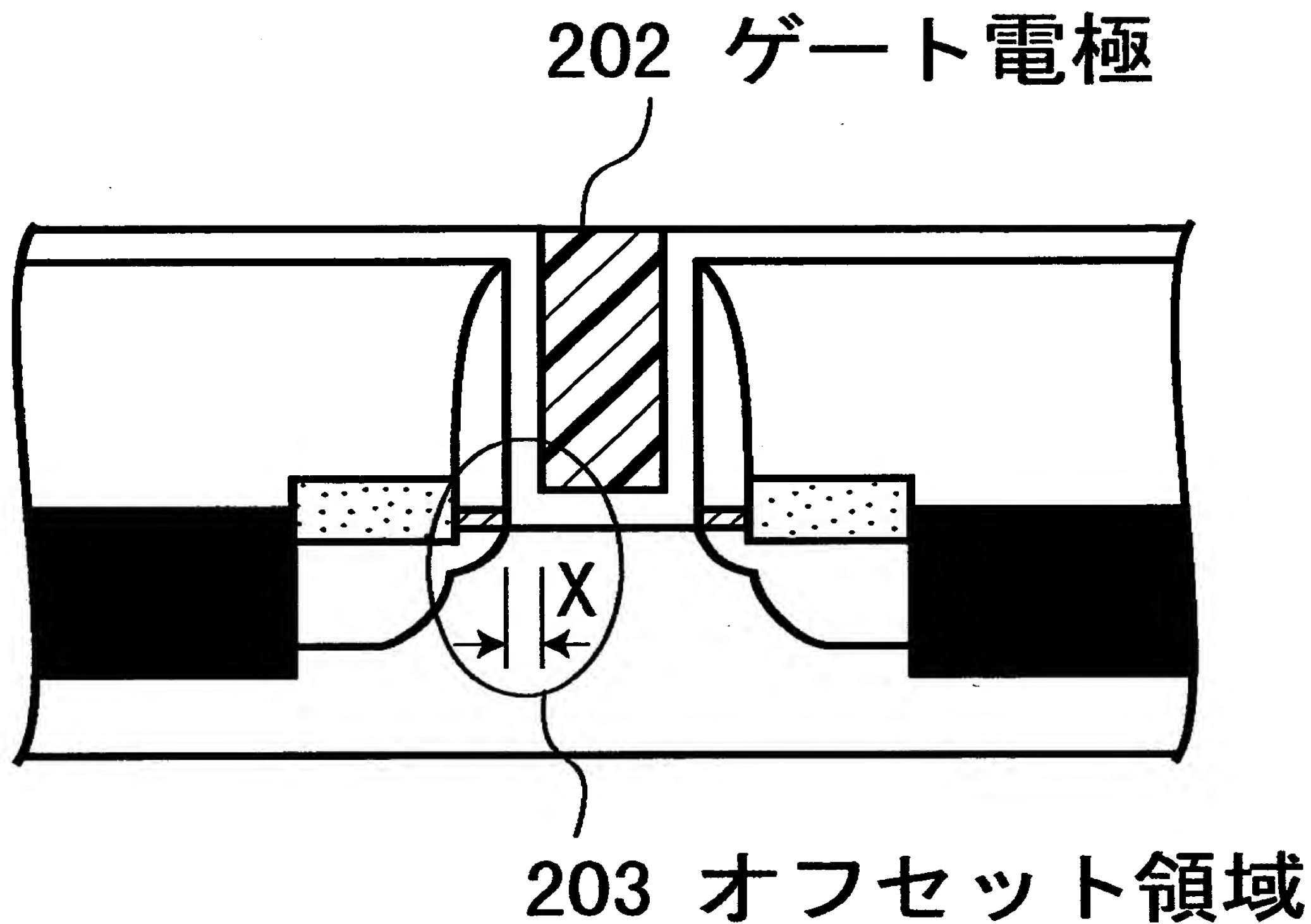


【図 7】

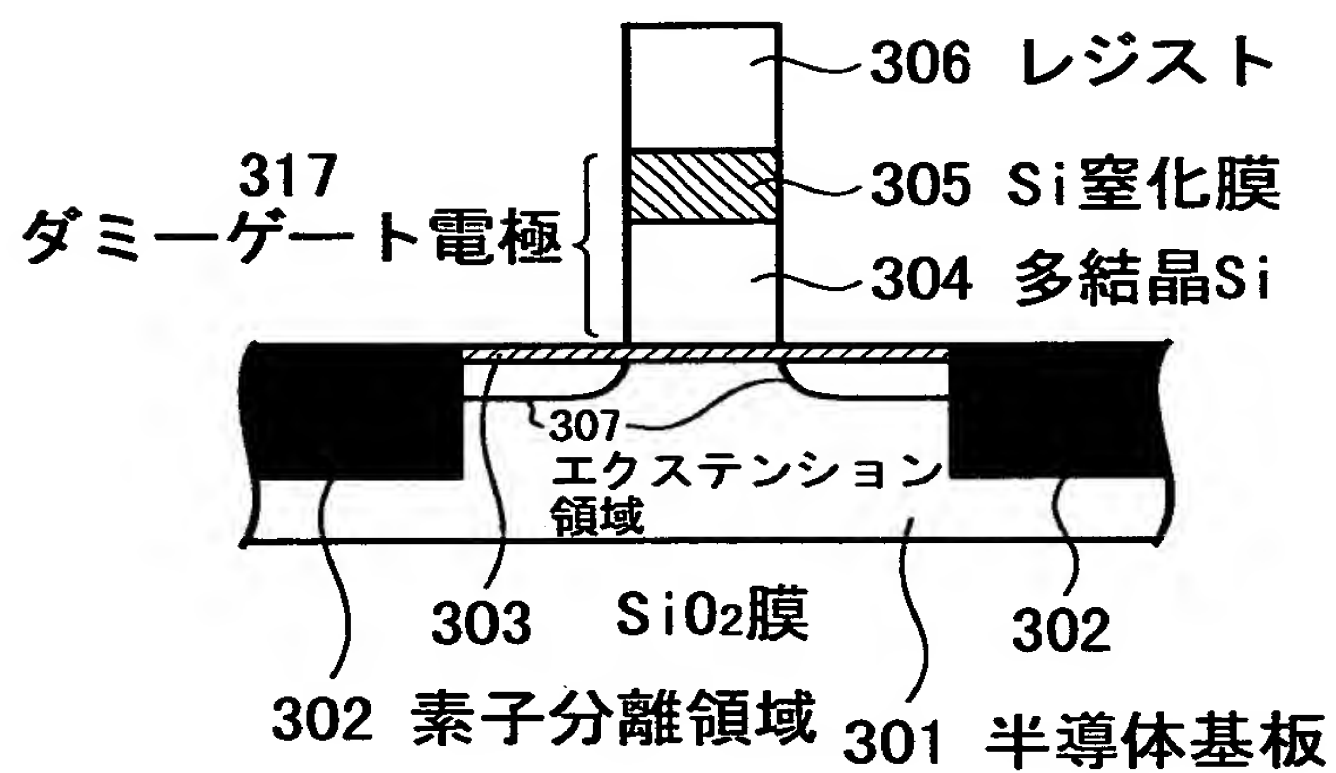
201 ゲート絶縁膜



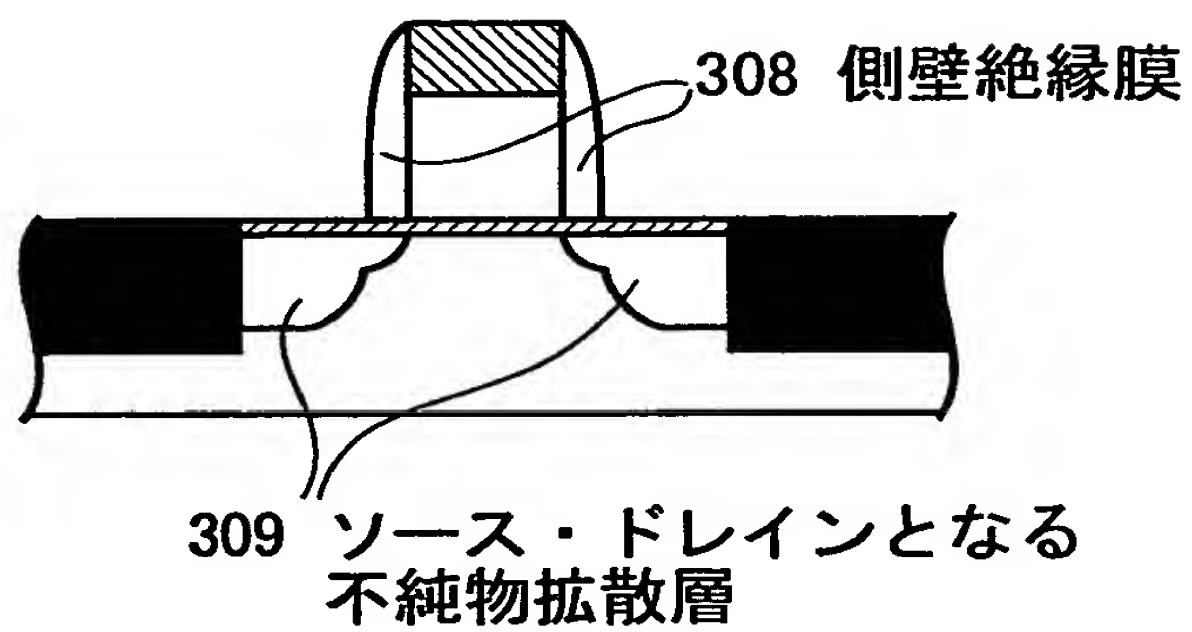
【図 8】



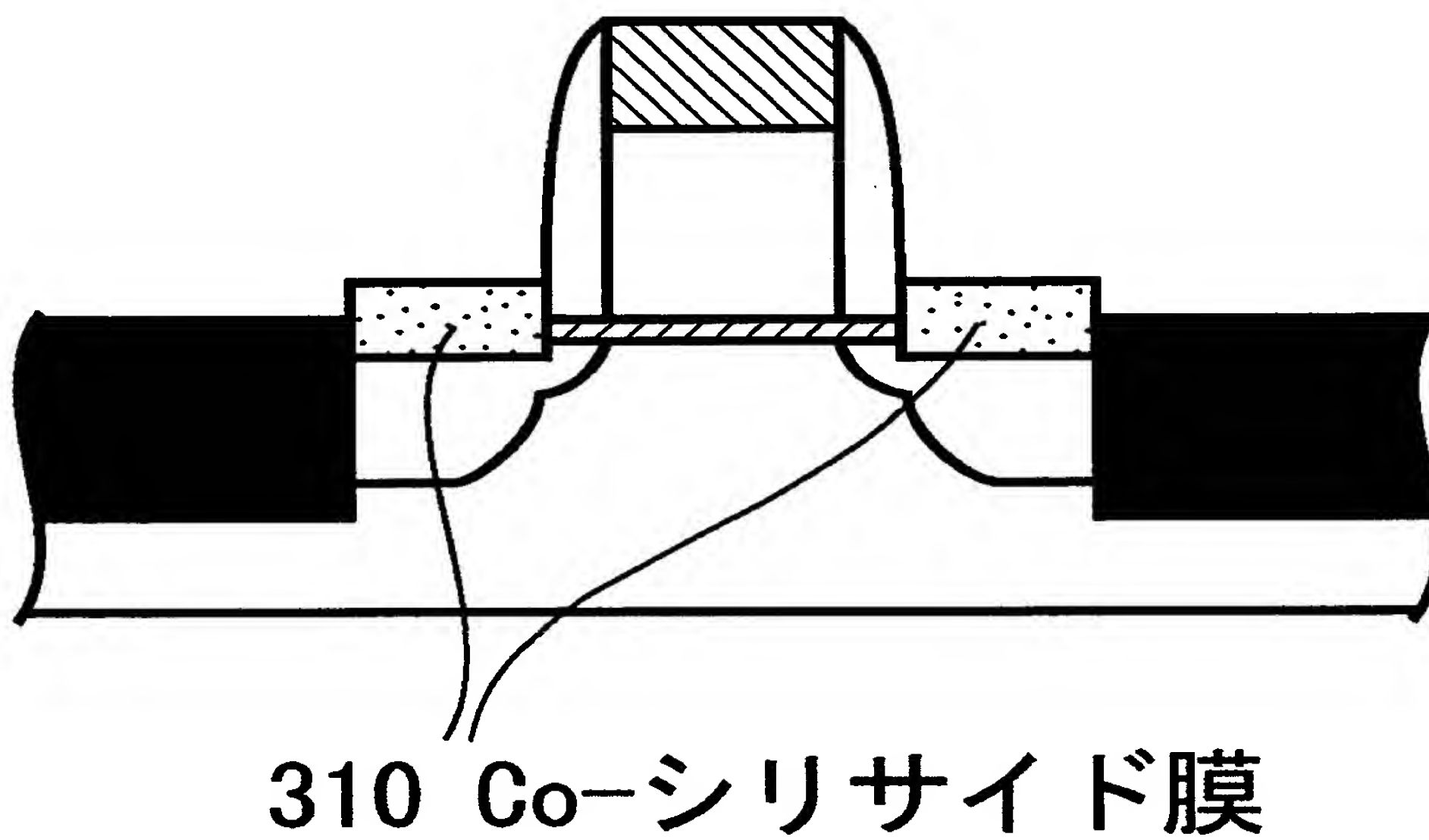
【図 9】



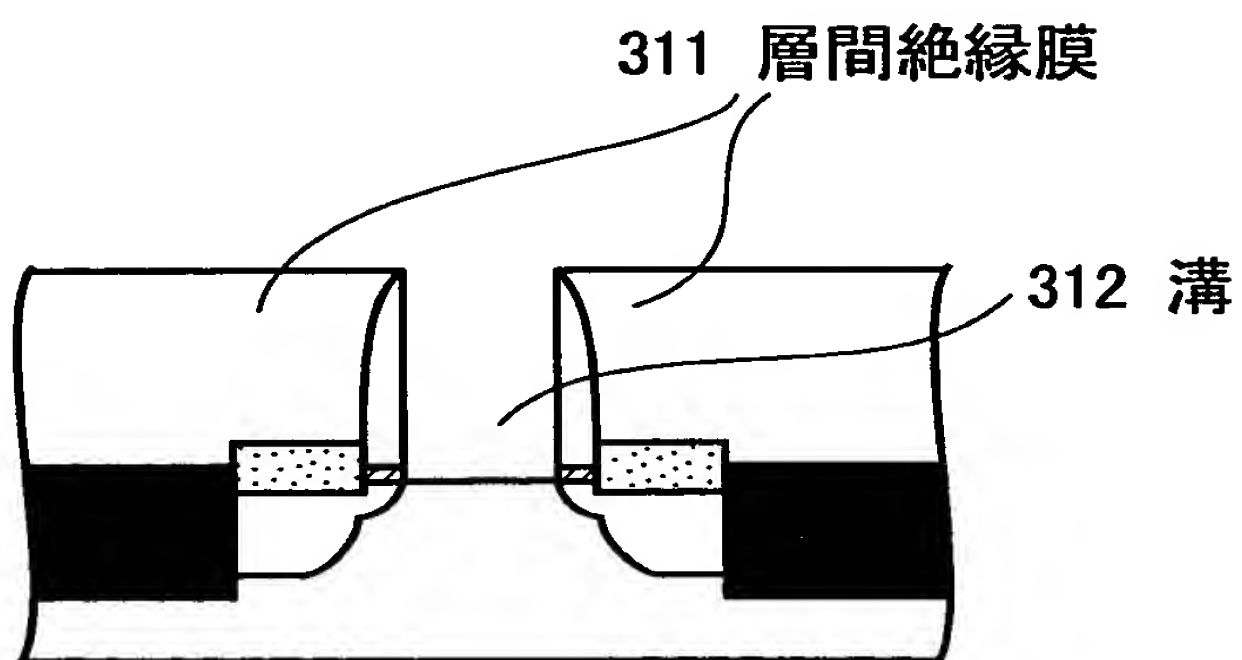
【図 1 0】



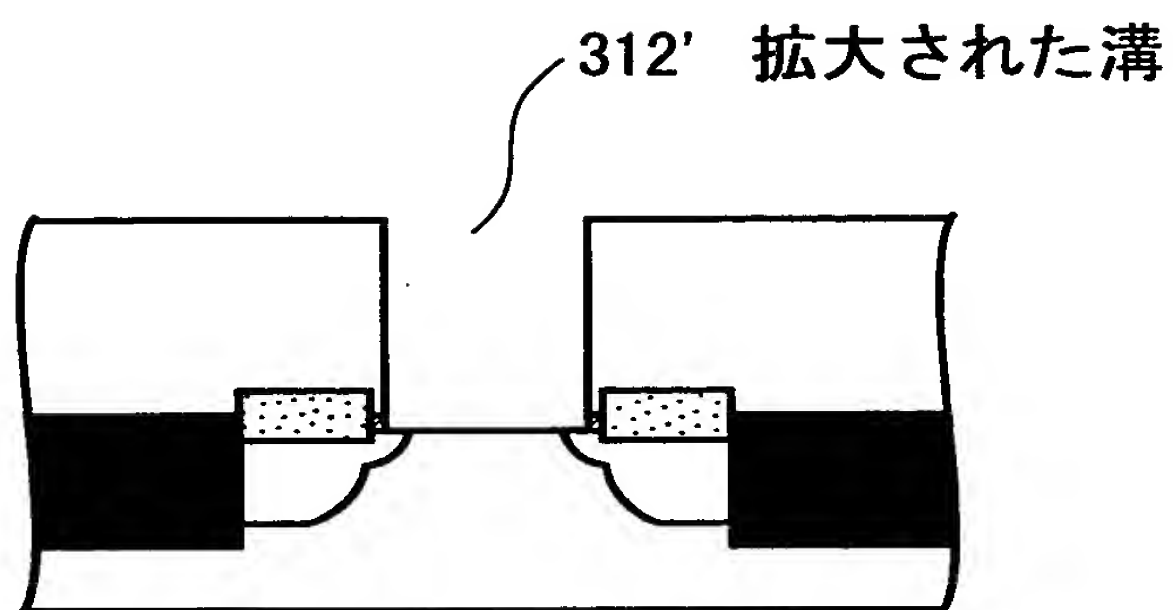
【図 1 1】



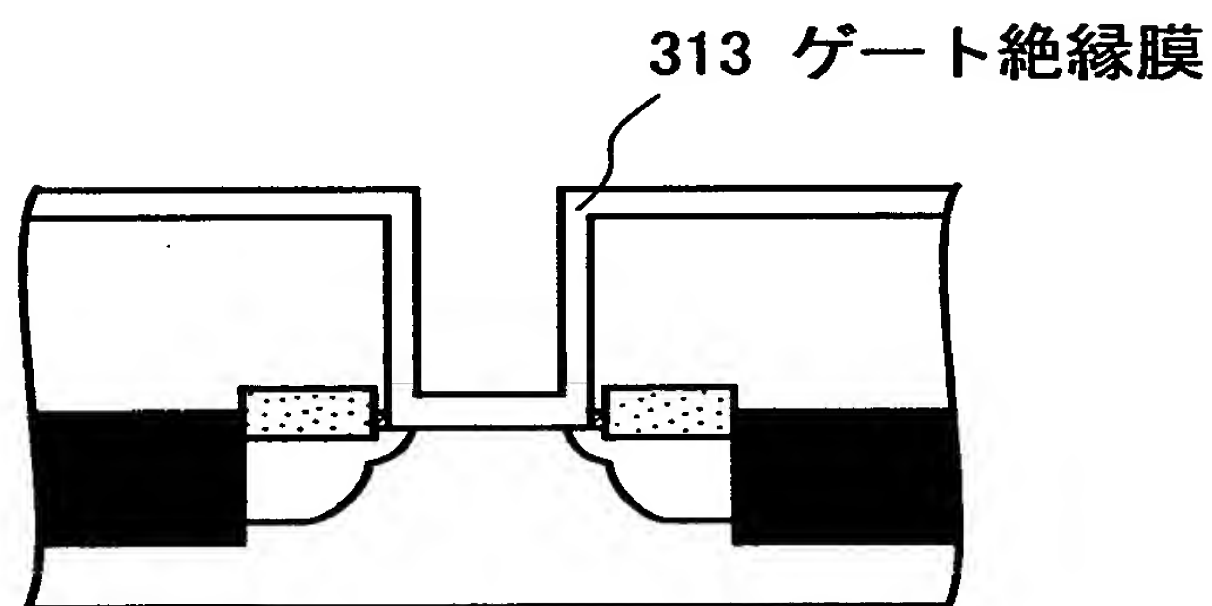
【図 1 2】



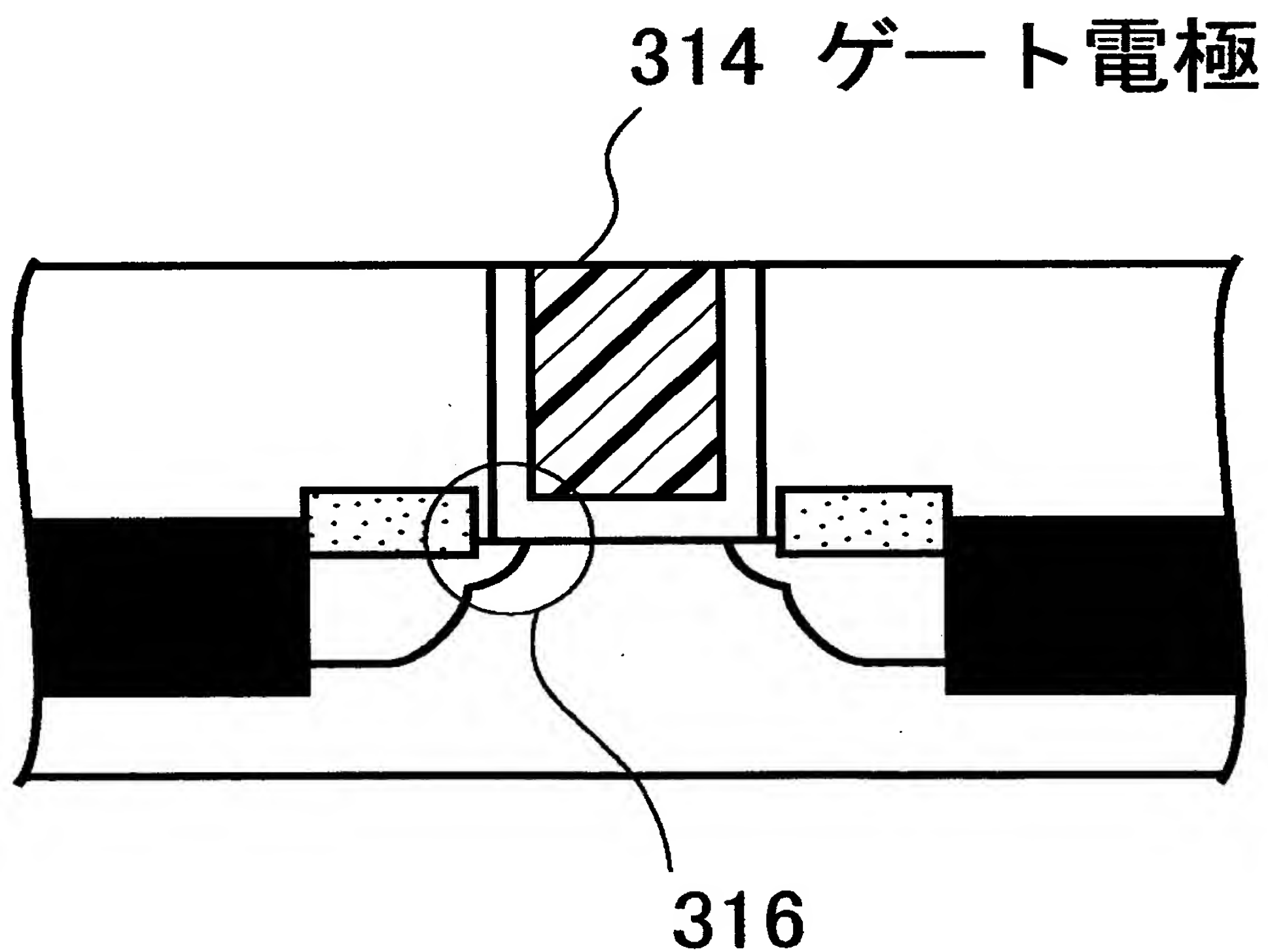
【図13】



【図14】



【図15】



【書類名】 要約書

【要約】

【課題】 埋め込み型のゲート電極構造を形成する際にゲート電極端部とソース・ドレイン拡散層端部間のオフセットを制御し、安定動作する半導体装置を提供することを目的とする。

【解決手段】 ゲート電極及びゲート絶縁膜を埋め込む溝の幅を、これらを埋め込む前に予めソース・ドレイン拡散層上に達するまで拡大しておき、その後、この溝に高誘電体膜のゲート絶縁膜とゲート電極を順次埋め込む。

【選択図】 図 1 5

認定・付加情報

特許出願の番号	特願2000-096442
受付番号	50000403811
書類名	特許願
担当官	第五担当上席 0094
作成日	平成12年 4月 3日

<認定情報・付加情報>

【提出日】	平成12年 3月31日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

1. 変更年月日	1 9 9 0 年 8 月 2 2 日
[変更理由]	新規登録
住 所	神奈川県川崎市幸区堀川町 7 2 番地
氏 名	株式会社東芝